



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of : **Confirmation No. 5478**
Hidenori HASEGAWA : Attorney Docket No. 2004_0096A
Serial No. 10/762,451 : Group Art Unit 2823
Filed January 23, 2004 : Examiner Fernando Toledo
SEMICONDUCTOR DEVICE AND
FABRICATION METHOD THEREOF : **Mail Stop AMENDMENT**

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

Sir:

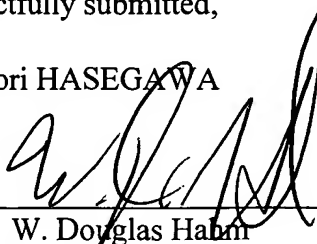
Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2003-378201, filed November 7, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Hidenori HASEGAWA

By



W. Douglas Hahn
Registration No. 44,142
Attorney for Applicant

WDH/ck
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
December 23, 2005

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月 7日
Date of Application:

出願番号 特願2003-378201
Application Number:
[ST. 10/C]: [JP2003-378201]

出願人 沖電気工業株式会社
Applicant(s): 宮崎沖電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年12月24日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 OH003875
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/48
【発明者】
 【住所又は居所】 宮崎県宮崎郡清武町大字木原 7 2 7 番地 宮崎沖電気株式会社内
 【氏名】 長谷川 秀則
【特許出願人】
 【識別番号】 000000295
 【氏名又は名称】 沖電気工業株式会社
【特許出願人】
 【識別番号】 390008855
 【氏名又は名称】 宮崎沖電気株式会社
【代理人】
 【識別番号】 100085419
 【弁理士】
 【氏名又は名称】 大垣 孝
【手数料の表示】
 【予納台帳番号】 012715
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9001068

【書類名】 特許請求の範囲**【請求項 1】**

- (1) 複数の直線状リードフレームを互いに離間して、並列に配列する工程と、
- (2) 複数の電極パッドを具えている第 1 の主表面、該第 1 の主表面に対向する第 2 の主表面を有する複数の半導体チップを、各々が前記複数の直線状リードフレームにわたり、かつ前記直線状リードフレームの延在方向に互いに離間させて、前記各々の半導体チップの第 2 の主表面側で、搭載する工程と、
- (3) 前記複数の電極パッドと、前記複数の直線状リードフレームとをボンディングワイヤにより接続する工程と、
- (4) 前記半導体チップ及び前記ボンディングワイヤを封止する封止部と、該封止部外に露出して隣接する前記直線状リードフレーム同士の間隙を埋め込むフレーム間封止部とを形成する工程と、
- (5) 前記第 2 の主表面の直下に位置する全ての前記直線状リードフレームを、該直線状リードフレームの延在方向に対して垂直な方向で切断する溝部を形成する工程と、
- (6) 前記複数の半導体チップ同士の間に露出している前記リードフレーム及び前記フレーム間封止部を切断して、該半導体チップと、前記溝部を挟んで対向する第 1 外部端子列及び第 2 外部端子列とを有する半導体装置に個片化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

- (1) 複数の直線状リードフレームを互いに離間して、並列に配列する工程と、
- (2) 複数の電極パッドを具えている第 1 の主表面、該第 1 の主表面に対向する第 2 の主表面を有する複数の半導体チップを、各々が前記複数の直線状リードフレームにわたり、かつ前記直線状リードフレームの延在方向に互いに離間させて、前記各々の半導体チップの第 2 の主表面側で、搭載する工程と、
- (3) 前記複数の電極パッドと、前記複数の直線状リードフレームとをボンディングワイヤにより接続する工程と、
- (4) 前記複数の半導体チップ、該複数の半導体チップそれぞれに接続されている前記ボンディングワイヤを封止する封止層を形成する工程と、
- (5) 前記第 2 の主表面の直下に位置する全ての前記直線状リードフレームを、該直線状リードフレームの延在方向に対して垂直な方向で切断する溝部を形成する工程と、
- (6) 前記複数の半導体チップ同士の間の封止層及びリードフレームの部分を切断して、該半導体チップと、残存しているリードフレーム部分で形成され、前記溝部を挟んで対向し及び切断による切断面から露出する第 1 外部端子列及び第 2 外部端子列を有する半導体装置に個片化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 3】

- 前記 (2) 工程は、並列に配列されている前記複数の直線状リードフレームのうち、両最外側の最外側リードフレームを前記半導体チップから露出させて行う工程であり、
- 前記 (3) 工程は、前記最外側リードフレームには前記ボンディングワイヤを接続しない工程であることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】

- 互いに離間して設けられた複数の第 1 外部端子と、
- 前記第 1 外部端子の延長線上で、かつ前記第 1 外部端子とは離間された複数の第 2 外部端子と、
- 複数の電極パッドを有し、前記第 1 及び第 2 外部端子上に搭載された半導体チップと、
- 前記複数の電極パッドと前記第 1 及び第 2 外部端子それぞれとを接続する複数のボンディングワイヤと、
- 前記半導体チップと前記ボンディングワイヤとを封止する封止部と、
- 前記第 1 外部端子同士の間及び前記第 2 外部端子同士の間とを封止するフレーム封止部と

を具えることを特徴とする半導体装置。

【請求項 5】

前記封止部と前記フレーム封止部とは、一体形成されていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記複数の第 1 外部端子はストライプ状に離間されていることを特徴とする請求項 4 に記載の半導体装置。

【書類名】明細書**【発明の名称】半導体装置及びその製造方法****【技術分野】****【0001】**

この発明は、半導体装置及びその製造方法に関し、特に SON (Small Outline Non-Lead Package) 型の半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

半導体チップの外部電極と、導体端子とをボンディングワイヤにより電氣的に接続して、これら半導体チップ、ボンディングワイヤ及び導体端子を絶縁体により封止した半導体装置が知られている。

【0003】

このような半導体装置において、導体端子が絶縁体より露出したいわゆる SON 型の半導体装置が知られている。

【0004】

また、このような SON 型の半導体装置の導体端子の露出不良を低減する目的で、所定の条件としたときに基板に対する密着力が低下する導体を用いて導体端子を形成し、封止工程の後に、所定の条件により基板と導体端子との密着力を低下させて剥離する導体端子の製造工程が知られている（例えば、特許文献 1 参照。）。

【特許文献 1】特開 2003-078076 号公報

【発明の開示】**【発明が解決しようとする課題】****【0005】**

このような従来の SON 型半導体装置の製造工程においては、半導体チップの大きさや、この半導体チップの上面に形成されている電極パッドの配置に合わせて、すなわち、特定の仕様の半導体チップごとにリードフレームを準備する必要があった。

【0006】

また、従来の製造工程によれば、ダイスボンド工程、ワイヤボンディング工程、樹脂封止工程、個片化工程等を一連の工程とすることができない。従って、製造途中の半導体装置が、次工程により処理されるまでの間、滞留してしまうため、半導体装置の製造にかかる時間が増大してしまう。

【課題を解決するための手段】**【0007】**

この発明は、上記課題に鑑みてなされたものである。上述した課題を解決するにあたり、この発明の半導体装置の製造方法は、主として、下記のような工程を含んでいる。

【0008】

すなわち、まず、複数の直線状リードフレームを互いに離間して、並列に配列する。

【0009】

次いで、複数の電極パッドを具えている第 1 の主表面、該第 1 の主表面に対向する第 2 の主表面を有する複数の半導体チップを、各々が複数の直線状リードフレームにわたり、かつ直線状リードフレームの延在方向に離間させて、各々の半導体チップの第 2 の主表面側で、搭載する。

【0010】

さらに、複数の電極パッドと、複数の直線状リードフレームとをボンディングワイヤにより接続する。

【0011】

また、半導体チップ及びボンディングワイヤを封止する封止部と、封止部外に露出して隣接する直線状リードフレーム同士の間隙を埋め込むフレーム間封止部とを形成する。

【0012】

次いで、第2の主表面の直下に位置する全ての直線状リードフレームを、直線状リードフレームの延在方向に対して垂直な方向で切断する溝部を形成する。

【0013】

然る後、複数の半導体チップ同士の上に露出しているリードフレーム及びフレーム間封止部を切断して、半導体チップと、溝部を挟んで対向する第1外部端子列及び第2外部端子列とを有する半導体装置に個片化する。

【発明の効果】

【0014】

この発明の半導体装置の製造方法によれば、配列されるリードフレーム同士の間隔を外部端子の間隔に合わせることが容易であるので、特定の仕様の半導体チップごとにリードフレームを準備する必要がなくなる。

【0015】

また、配列されている複数のリードフレーム上で、ダイスボンディング工程、ワイヤボンディング工程、樹脂封止工程、個片化工程等を、一連の工程として実施することができる。従って、製造途中の半導体装置が、次工程により処理されるまでの間、滞留することがなくなる。

【0016】

従って、多数の半導体装置を、短時間で効率的に、製造することができる。また、半導体装置の製造コストの削減にも寄与する。

【発明を実施するための最良の形態】

【0017】

以下、図面を参照して、この発明の実施の形態につき説明する。なお、図面には、この発明が理解できる程度に各構成成分の形状、大きさ及び配置関係が概略的に示されているに過ぎず、これによりこの発明が特に限定されるものではない。また、以下の説明において、特定の材料、条件及び数値条件等を用いることがあるが、これらは好適例の1つに過ぎず、従って、何らこれらに限定されない。

【0018】

なお、この発明の半導体装置の製造工程は、従来公知の材料を用いて、従来公知の製造工程により形成できる。従って、従来公知の製造工程の詳細な説明は省略する場合もある。

【0019】

まず、この発明の半導体装置の製造方法の全体像について説明する。

【0020】

図1は、この発明の半導体装置の製造方法が実施される製造装置100の概略と、この発明の製造方法が含む各工程の概略を説明するための模式的な図である。

【0021】

この発明の半導体装置は、互いに平行に離間する2つの第1及び第2リール110a及び110bを具えている製造装置100により製造される。

【0022】

すなわち、この発明の半導体装置の製造方法は、以下に詳細に説明するダイスボンディング工程120、ワイヤボンディング工程122、封止工程124、外部端子形成工程126及び個片化工程128が、全てリードフレーム12上で行われることを特徴としている。

【0023】

リードフレーム12の両端部それぞれは、2つの第1及び第2リール110a及び110b間に張り渡されている。さらに、リードフレーム12の両端部は、2つの第1及び第2リール110a及び110bに互いに逆回転方向に巻きつけられている。複数のリードフレーム12は、ストライプ状に互いに離間されて、2つの第1及び第2リール110a及び110b間に展張保持される。

【0024】

複数のリードフレーム12の位置ずれを防止するためには、好ましくは、リードフレー

ム 1 2 の間隔に合わせて複数の溝（図示せず。）が形成されていて、リードフレーム 1 2 は、対応する溝にそれぞれ巻き付けるのがよい。

【0025】

ダイスボンド工程 1 2 0、ワイヤボンディング工程 1 2 2、封止工程 1 2 4、外部端子形成工程 1 2 6 及び個片化工程 1 2 8 は、2 つの第 1 及び第 2 リール 1 1 0 a 及び 1 1 0 b を同一方向に、かつ同時に回転させることで、順次に移動させて、同時に実施することができる。

【0026】

まず、リードフレーム 1 2 上に搭載されている第 1 の半導体チップを搭載するダイスボンド工程 1 2 0 を行う。次いで、第 1 及び第 2 リール 1 1 0 a 及び 1 1 0 b を同一方向に回転させて予め設定されている所定距離だけ移動させる。この移動により生じた領域に第 2 の半導体チップを搭載するダイスボンド工程を行う。このとき、このダイスボンド工程と同時に、移動した第 1 の半導体チップに対してはワイヤボンディング工程 1 2 2 が行われる。このように、各工程の終了後、第 1 リール 1 1 0 a から第 2 リール 1 1 0 b 方向に順次に、リードフレーム 1 2 が移動され、ダイスボンド工程 1 2 0、ワイヤボンディング工程 1 2 2、封止工程 1 2 4、外部端子形成工程 1 2 6 及び個片化工程 1 2 8 が同時に行われる。

【0027】

リードフレーム 1 2 は、上述した各工程で使用する製造装置が具える定盤又は台状の構造体に載置されて各工程が実施される。また好ましくは、例えば、第 1 及び第 2 リール 1 1 0 a 及び 1 1 0 b の回転、すなわちリードフレーム 1 2 の移動に追従して移動する定盤といった構造体上に載置して、各工程を実施してもよい。

【0028】

また、各工程は、1 個又は 2 個以上の任意好適な数の半導体チップに対して行うことができる。以下に説明する例では、2 個の半導体チップを 1 単位として各工程を実施する例を説明する。

【0029】

〈第 1 の実施の形態〉

1-1. 半導体装置の製造方法

この発明の第 1 の実施の形態の半導体装置の製造方法について、図 2 から図 4 を参照して説明する。

【0030】

図 2 は、第 1 の実施の形態の半導体装置の製造工程の説明図（その 1）であって、図 2（A）は、半導体装置の製造工程を説明するための概略的な平面図である。図 2（B）は、図 2（A）の I-I' で示した一点破線で切断した切り口を示す模式的な図である。図 2（C）は、半導体装置の製造工程を説明するための概略的な平面図である。図 2（D）は、図 2（C）の II-II' で示した一点破線で切断した切り口を示す模式的な図である。

【0031】

図 3 は、第 1 の実施の形態の半導体装置の製造工程の説明図（その 2）であって、図 3（A）は、半導体装置の製造工程を説明するための概略的な平面図である。図 3（B）は、図 3（A）の III-III' で示した一点破線で切断した切り口を示す模式的な図である。図 3（C）は、半導体装置の製造工程を説明するための概略的な平面図である。図 3（D）は、図 3（C）の IV-IV' で示した一点破線で切断した切り口を示す模式的な図である。

【0032】

図 4 は、第 1 の実施の形態の半導体装置の製造工程の説明図（その 3）であって、図 4（A）は、半導体装置の製造工程を説明するための概略的な平面図である。図 4（B）は、図 4（A）の V-V' で示した一点破線で切断した切り口を示す模式的な図である。図 4（C）は、半導体装置の製造工程を説明するための概略的な平面図である。

【0033】

この発明の製造方法に使用されるリードフレーム12は長尺の直線状の形状を有している。これらのリードフレーム12は、好ましくは、銅又は銅合金等の導電性の金属材料により带状体（ストリップ）として形成される。現状の半導体装置における一般的な水準を例として示すと、短尺（幅）は、0.2mmから0.5mm程度である。

【0034】

図2（A）に示すように、複数のリードフレーム12は、等間隔dで互いにストライプ状に離間されて、上述したように、2つの第1及び第2リール110a及び110b間に展張保持される。

【0035】

リードフレーム12は、製造される半導体装置の外部端子として機能する。従って、上述した複数の平行に配置されているリードフレーム12同士の間隔dは、後述するリードフレーム12上に搭載される半導体チップの仕様、製造される半導体装置の仕様に応じた外部端子の間隔に等しく決定される。現状の半導体装置における一般的な水準を例示すると、リードフレーム12同士の間隔dに相当する外部端子同士の間隔は、0.5mmから1.5mm程度である。

【0036】

従って、この例では、複数のリードフレーム12を等間隔dで配列する例を説明するが、例えば外部端子の仕様に応じて、リードフレーム12同士を異なる間隔として配列することも、容易にできる。

【0037】

図2（A）に示すように、並列に配列している複数のリードフレーム12のうち、最外側に位置する2つのリードフレーム12を、第1最外側リードフレーム12a及び第2最外側リードフレーム12bとそれぞれ称する。

【0038】

図2（B）に示すように、リードフレーム12のリードフレーム12の一方の主表面を表面12cとし、他方の主表面を裏面12dとする。これら表面12cを上面及び裏面12dを下面ともいう。これら上面12c及び下面12dを含む表面全面には、好ましくは、パラジウム等を常法に従ってメッキ工程により予め被膜しておくのがよい。

【0039】

次いで、図2（C）に示すように、半導体チップ20を、個々の半導体チップ20がこれら複数の直線状リードフレーム12にわたるように、かつリードフレーム12の延在方向（長尺方向）に互いに離間させて、配置する。

【0040】

半導体チップ20は、通常は、実質的に直方体の形状を有している。この半導体チップ20は、複数の電極パッド22を具えている第1の主表面20aと、第1の主表面20aに対向する第2の主表面20bを具えている。半導体チップ20の第1の主表面20a及び第2の主表面20bは、この例では同一形状の矩形状である。また、これら第1及び第2主表面の間には、互いに対向する2つの端面20c、20c、並びに端面20c、20cに直交し、かつ互いに対向する2つの側面20d、20dが存在している。

【0041】

ここでは、仮にリードフレーム12の本数を7本とし、搭載すべき半導体チップ20を2個として説明する。

【0042】

半導体チップ20は、第1の主表面20a及び第2の主表面20bの矩形の長尺方向が、リードフレーム12の延在方向に直交するように、リードフレーム12上にダイスボンディングされる。この場合、半導体チップ20の端面20c、20cをリードフレーム12の延在方向に沿わせ、しかも半導体チップ20が第1及び第2最外側リードフレーム12a及び12bにそれぞれ隣接するリードフレーム12には、搭載されないようにする。すなわち、搭載された半導体チップ20からは第1及び第2最外側リードフレーム12a

及び 12b を含む外側 2 本ずつのリードフレーム 12 が露出している。

【0043】

この半導体チップの搭載に際しては、半導体チップ 20 の第 2 の主表面 20b を、中央側の 3 本のリードフレーム 12 の上面 12c 側に、絶縁性の接着材 30 により接着される (図 2 (D))。

【0044】

絶縁性の接着材 30 としては、従来公知の任意好適なものを使用することができる。接着材 30 はペースト状の接着材のみならず、例えば、絶縁性の接着テープとしてもよい。

【0045】

電極パッド 22 は、第 1 の主表面 20a に露出させて設けられている。複数の電極パッド 22 は、この例では半導体チップ 20 の 2 つの側面 20d、20d それぞれに沿って 5 個ずつ、かつ同一側面に沿って位置する電極パッド 22 同士が等間隔になるように配列されている。また、側面 20d、20d それぞれの側の電極パッド 22 同士は、等間隔で対向するように配列されている。

【0046】

上述したように、複数のリードフレーム 12 同士の間隔 d は、リードフレーム 12 上に搭載される半導体チップや、製造される半導体装置それぞれの外部端子の間隔に等しく決定される。これらの外部端子の間隔は、半導体チップ 20 や製造される半導体装置 10 の仕様により決まる。

【0047】

次いで、電極パッド 22 と、内側の 5 本のリードフレーム 12 とをボンディングワイヤ 40 により接続する (図 3 (A) 及び図 3 (B))。このボンディング工程は、従来公知のボンディングワイヤ及びボンディング装置を用いて、熱圧着、超音波熱圧着等の任意好適な方法により行われる。

【0048】

このとき、第 1 及び第 2 最外側リードフレーム 12a 及び 12b には、ボンディングワイヤ 40 は、接続しない構成とするのがよい。このようにすれば、後述する封止工程において、封止樹脂材料が、第 1 及び第 2 最外側リードフレーム 12a 及び 12b を乗り越えて漏出するのを防ぎ易くなる。

【0049】

ボンディングワイヤ 40 は、半導体チップ 20 の周辺の露出したリードフレーム 12 にボンディングされる。図示の構成例では、半導体チップ 20 の各電極パッド 22 のうちリードフレームの延在方向に沿った直線上にある 1 組の電極パッド 22 は、同一のリードフレーム 12 に接続されている。

【0050】

次いで、図 3 (C) 及び図 3 (D) に示すように、半導体チップ 20 及びボンディングワイヤ 40 を封止する封止部 50 を形成する。封止部 50 が形成された構造体の外観形状は実質的に直方体であり、この直方体の周側面は、それぞれ封止部側面 50b、50b 及び封止部端面 50c、50c である。

【0051】

封止部 50 は、従来公知のモールド樹脂、液状樹脂等の任意好適な材料を用いて、従来公知の例えば金型を用いた封止工程により形成することができる。この例では、この封止工程は、例えば、リードフレーム 12 上にボンディングされた 1 個の半導体チップを収納可能なキャビティを形成することができる金型を具えた従来公知の封止装置を用いて行うことができる。具体的には、半導体チップ 20 が搭載されているリードフレーム 12 の上面 12c に接して 1 個の半導体チップ 20 を囲む上部金型及び下面 12d 全面に接する下部金型 (いずれも図示せず。) により、1 個の半導体チップを含むキャビティを形成する。次いで、このキャビティ内に封止樹脂材料を充填して硬化することにより封止部 50 を形成する。

【0052】

従って、この実施の形態の半導体装置 10 の封止部 50 は、半導体チップ 20 を 1 個ずつ包含するように形成される。

【0053】

この封止工程により、複数の直線状リードフレーム同士の間隙も、封止樹脂材料により埋め込まれてフレーム間封止部 50 d が形成される。しかしながら、このとき、リードフレーム 12 の封止部 50 外の上表面 12 c は露出させる。

【0054】

次いで、半導体チップ 20 の第 2 の主表面 20 b の直下に位置する全てのリードフレーム 12 について、半導体装置 20 の端面 20 c、20 c に対して垂直な方向で、すなわち側面 20 d、20 d に沿う方向で、切断する。このようにして溝部 60 が形成される。この工程は、従来公知のダイシング装置を用いて行うことができる。

【0055】

図 4 (A) に示すように、この例では、予め、第 2 主表面 20 b (図 4 (B) 参照) に、リードフレーム 12 の延在方向と直交する方向に沿ってダイシングライン A を設定する。このダイシングライン A は、第 2 主表面 20 b のリードフレーム 12 の延在方向に沿う方向の幅の中心を通るラインである。このダイシングライン A によって、第 1 及び第 2 の主表面 20 a 及び 20 b 並びに端面 20 c、20 c の面積は、好ましくは均等に 2 分されている。

【0056】

図 4 (B) に示すように、このダイシングライン A に沿って、少なくとも半導体チップ 20 の第 2 の主表面 20 b が搭載されているリードフレーム 12 を横切って、これらを切断する溝部 60 を形成する。このとき、溝部 60 の深さ (高さ) は、リードフレーム 12 が完全に切断される深さで、かつ半導体チップ 20 の機能を損なわない範囲として決定される。従って、この深さは、最大でも、半導体チップ 20 の第 2 の主表面 20 b が露出するまでの深さとすればよい。

【0057】

このリードフレーム 12 の切断工程、すなわち溝部 60 の形成工程に際しては、好ましくは、第 1 及び第 2 最外側リードフレーム 12 a 及び 12 b については、切断しないように溝部 60 を形成するのがよい。

【0058】

このようにすれば、隣接するリードフレーム間には封止樹脂材料が満たされていて、しかも最外側リードフレーム 12 a 及び 12 b は連続しているので、製造途中の半導体装置が連なった構造体全体の強度を確保できるので、製造途中の複数の連続した半導体装置を、切断されていない第 1 及び第 2 最外側リードフレーム 12 a 及び 12 b により、例えば TCP の製造工程で行われているように、容易に順次、工程終了後に移動させ、一連の製造工程として実施することができる。

【0059】

然る後、図 4 (C) に示すように、個々の半導体チップ 20 をその周辺で切断して、半導体チップ 20 を含む半導体装置 10 の個片化を行う (図 5 (A) 参照。)。この個片化工程においても、第 1 及び第 2 最外側リードフレーム 12 a 及び 12 b を切断しないようにする。

【0060】

個片化工程は、例えば、図 4 (C) の破線 B に囲まれる領域に沿って、この領域を囲む金型、例えば封止工程で用いたのと同様の形状を具えた上下金型を、押し付けて押圧することにより行う。この金型の押圧によって、複数の内側のリードフレーム 12 及びリードフレーム 12 同士の間隙を埋めるフレーム間封止部 50 d を切断して行うことができる。

【0061】

このような個片化工程を行うことで、半導体装置 10 を得ることができる。

【0062】

このように、この発明の半導体装置の製造方法によれば、上述した複数の工程を、リ

ドフレーム 12 上で連続的に行うことができるので、従来のように製造途中の半導体装置が、次工程により処理されるまでの間、滞留することがなくなる。従って、多数の半導体装置を、短時間で効率的に、製造することができる。また、半導体装置の製造コストの削減にも寄与する。

【0063】

1-2. 半導体装置

図 5 (A)、(B) 及び (C) を参照して、図 2 から図 4 を参照して説明した第 1 の実施の形態の製造方法により製造される半導体装置の構成につき説明する。

【0064】

図 5 (A) は、第 1 の実施の形態の半導体装置 10 の構成例を説明するための概略的な斜視図である。図 5 (B) は、図 5 (A) の VI-VI' で示した一点破線で、半導体装置 10 を切断した切断面を示す模式的な図である。図 5 (C) は、半導体装置 10 を底面側（外部端子側）から見た平面図である。

【0065】

なお、半導体装置の説明において、各構成要素の材料の選択等については、既に説明したので、その詳細な説明は省略する。

【0066】

上述した第 1 の実施の形態の半導体装置の製造方法により製造される半導体装置 10 は、半導体チップ 20 を含んでいる。半導体チップ 20 は、上述したように略直方体状であって、第 1 の主表面 20 a、この第 1 の主表面 20 a に対向する第 2 の主表面 20 b、これら第 1 の主表面 20 a と第 2 の主表面 20 b との間の端面 20 c 及び側面 20 d を有している。複数の電極パッド 22 は、第 1 の主表面 20 a から露出している。これら複数の電極パッド 22 は、側面 20 d の第 1 の主表面 20 a 側の側縁に沿って配列されている（図 2 (C) 参照）。

【0067】

半導体装置 10 は、複数の外部端子 14 を含んでいる。これら外部端子 14 は、半導体チップ 20 の第 2 の主表面 20 b に、絶縁性の接着材 30 により接着されて設けられている。外部端子 14 は、この例では短冊状のリードフレーム 12 により形成されている。各リードフレーム 12 の側面には、上述したように、フレーム間封止部 50 d が設けられている。

【0068】

図 5 (B) に示すように、外部端子 14 は、半導体チップ 20 の輪郭から露出するように、設けられている。すなわち、外部端子 14 は、複数の第 1 外部端子 14 a を含む第 1 外部端子列 14 X として設けられている。同様に、他方の側面 20 d 側にも複数の第 2 外部端子 14 b を含む第 2 外部端子列 14 Y が設けられている。これら第 1 外部端子列 14 X と、第 2 外部端子列 14 Y とは、この例では端面 20 c、20 c に対して垂直な方向に延在するように設けられている溝部 60 を挟んで対向している。

【0069】

第 1 及び第 2 外部端子 14 a 及び 14 b それぞれは、それぞれ対向する側面 20 d に対して垂直方向に延在し、半導体チップ 20 の第 2 主表面 20 b と平行な面内で、所定の距離、すなわちこの例では等間隔で離間して並設されている。

【0070】

電極パッド 22 及び外部端子 14 は、ボンディングワイヤ 40 により互いに接続されている。この例では、電極パッド 22 と外部端子 14 の表面、すなわち表面 14 a a 及び 14 b a とがそれぞれ 1 対 1 の対応関係で接続されている。

【0071】

半導体装置 10 は、半導体チップ 20 及びボンディングワイヤ 40 を封止する封止部 50 と封止部 50 外のフレーム間封止部 50 d とを具えている。この例では、封止部 50 は、第 1 及び第 2 外部端子列 14 X 及び 14 Y 上に略直方体の構造体が載った形状として設けられている。

【0072】

フレーム間封止部50dは、封止部50外に露出している複数の外部端子14a同士、及び14b同士の間隙を埋め込んで設けられている。しかし、フレーム間封止部50dは、外部端子14a及び14bの表面14aa及び14baの一部分及び裏面14ab及び14bbを露出させて設けられている。

【0073】

第1の実施の形態の半導体装置によれば、外部端子14は、半導体チップ20の第2の主表面20bに当接して、平面的に設けられているので、半導体装置をより薄型に、すなわちより小型化することができる。また、裏面には、外部端子が広く露出しているので、半導体チップの発する熱を効率的に放散することができる。

【0074】

〈第2の実施の形態〉

2-1. 半導体装置の製造方法

この発明の第2の実施の形態の半導体装置の製造方法について、図6を参照して説明する。なお、この実施の形態の半導体装置の製造方法及びこの製造方法により製造される半導体装置が、第1の実施の形態と異なる点は、封止部50の形成工程及び封止部50の形状並びに個片化工程にあるので、これらについて説明し、第1の実施の形態と同じ工程及び構成については、図示及びその詳細な説明を省略する。

【0075】

図6は、第2の実施の形態の半導体装置の製造工程の説明図であって、図6(A)は、半導体装置の製造工程、特に封止工程を説明するための概略的な平面図である。図6(B)は、図6(A)のV I I - V I I'で示した一点破線で切断した切り口を示す模式的な図である。図6(C)は、半導体装置の製造工程、特に個片化工程を説明するための概略的な平面図である。図6(D)は、図6(C)のV I I I - V I I I'で示した一点破線で切断した切り口を示す模式的な図である。

【0076】

第2の実施の形態の製造方法において、ダイスボンディング工程、ワイヤボンディング工程(図2(A)～図3(B))、及び外部端子形成工程(図4(A)及び図4(B))は、第1の実施の形態と同様であるので、第1の実施の形態の説明を参照されたい。

【0077】

図6(A)及び(B)に示すように、半導体チップ20及びそれぞれの半導体チップに接続されているボンディングワイヤ40を封止する封止層70を形成する。

【0078】

封止層70は、半導体チップ20の両端面20c、20c側にあつては、第1及び第2最外側リードフレーム12a及び12bが露出するように、半導体チップ20の両側面20d、20d側にあつては、2個以上の任意好適な個数の半導体チップを一体として覆うように、形成される。

【0079】

この封止工程は、例えば、リードフレーム12上にボンディングされた任意好適な個数の複数の半導体チップを収納可能なキャビティを形成することを除き、第1の実施の形態で説明した構造を有する金型を具えた従来公知の封止装置を用いて行うことができる。

【0080】

当然に、この封止工程により、複数の直線状リードフレーム同士の間隙は、封止樹脂材料により埋め込まれる。

【0081】

次いで、半導体チップ20の第2の主表面20bの直下に位置する全てのリードフレーム12について、第1の実施の形態と同様に、スクライブラインA(図6(C)参照。)で切断して溝部60を形成する。

【0082】

然る後、図6(C)及び(D)に示すように、第1及び第2最外側リードフレーム12

a 及び 12b に直交する方向に延在し、半導体チップ 20 同士の間隙に設定されるスクライプライン C 及び第 1 及び第 2 最外側リードフレーム 12a 及び 12b に沿う方向に延在するスクライプライン D 上に沿って封止層 70 及びリードフレーム 20 の部分を切断して、半導体チップ 20 を含む半導体装置 10 (図 6 参照。)の個片化を行う。このようにして得られた半導体装置 10 が第 1 の実施の形態で説明した半導体装置と構成上相違する点は、第 2 の実施の形態の半導体装置自体が本質的に略直方体状であって、なんら突出する外部端子を具えていない点である。

【0083】

個片化工程は、例えば、溝部 60 の形成に使用されるのと同様の従来公知のダイシング装置を使用することができる。

【0084】

第 2 の実施の形態の半導体装置の製造方法によれば、第 1 の実施の形態の製造方法により得られる効果に加えて、溝部 60 の形成工程及び個片化工程を同じ装置を用いて、行うことができる。また、個片化工程はより簡易な工程とすることができる。従って、より効率的に半導体装置を製造することができる。

【0085】

2-2. 半導体装置

図 7 (A)、(B) 及び (C) を参照して、第 2 の実施の形態の製造方法により製造される半導体装置の構成につき説明する。

【0086】

図 7 (A) は、第 2 の実施の形態の半導体装置 10 の構成例を説明するための概略的な斜視図である。図 7 (B) は、図 7 (A) の I X-I X' で示した一点破線で、半導体装置 10 を切断した切断面を示す模式的な図である。図 7 (C) は、半導体装置 10 を底面側 (外部端子側) から見た平面図である。

【0087】

なお、ここでは、主として、第 1 の実施の形態の半導体装置とは異なる構成を有する封止部について説明し、その他の第 1 の実施の形態と同様の構成については詳細な説明は省略する。

【0088】

図 7 (A) 及び図 7 (B) に示すように、封止部 50 は、略直方体状に形成されている。封止部 50 は、半導体チップ 20、ボンディングワイヤ 40、外部端子 14 を封止している。外部端子 14、すなわち第 1 及び第 2 外部端子 14a 及び 14b それぞれは、個片化工程によって生じる切断面が封止部側面 50b、50b の両面から露出して設けられている。

【0089】

また、図 7 (B) 及び図 7 (C) に示すように、封止部 50 は、その裏面 14ab 及び 14bb を露出させて設けられている。

【0090】

第 2 の実施の形態の半導体装置によれば、第 1 の実施の形態の半導体装置により得られる効果に加えて、外部端子 14 が封止部 50 から突出していないので、半導体装置をさらに小型化することができる。

【図面の簡単な説明】

【0091】

【図 1】この発明の半導体装置の製造方法が実施される製造装置の概略と、この発明の製造方法が含む各工程の概略を説明するための模式的な図である。

【図 2】第 1 の実施の形態の半導体装置の製造工程図 (その 1) である。

【図 3】第 1 の実施の形態の半導体装置の製造工程図 (その 2) である。

【図 4】第 1 の実施の形態の半導体装置の製造工程図 (その 3) である。

【図 5】第 1 の実施の形態の半導体装置の構成図である。

【図 6】第 2 の実施の形態の半導体装置の製造工程図である。

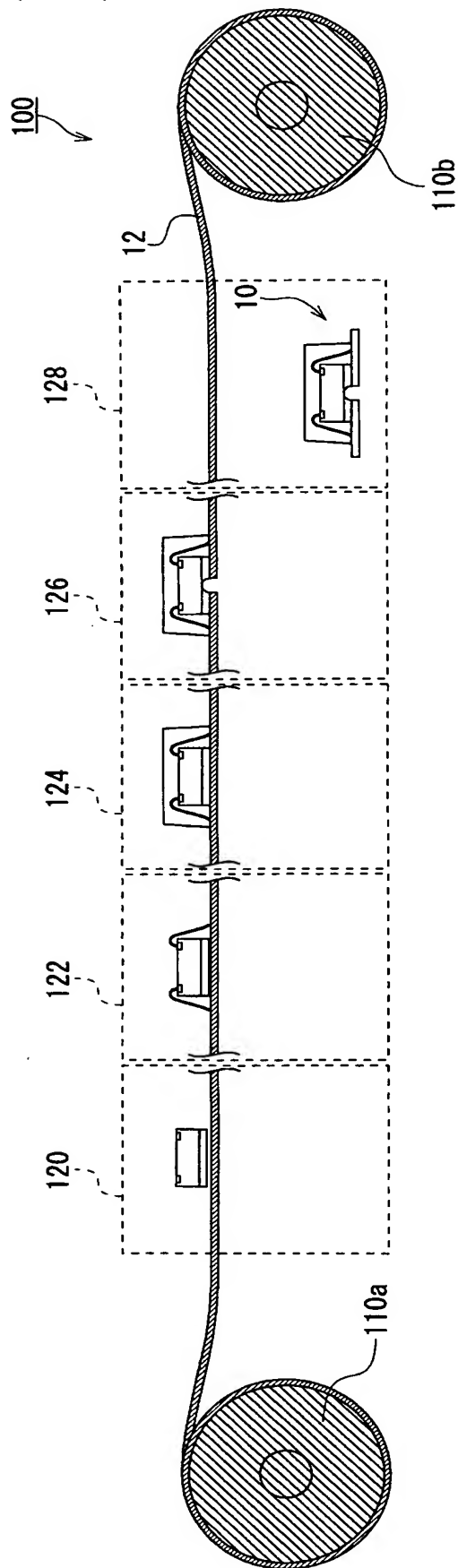
【図 7】 第 2 の実施の形態の半導体装置の構成図である。

【符号の説明】

【 0 0 9 2 】

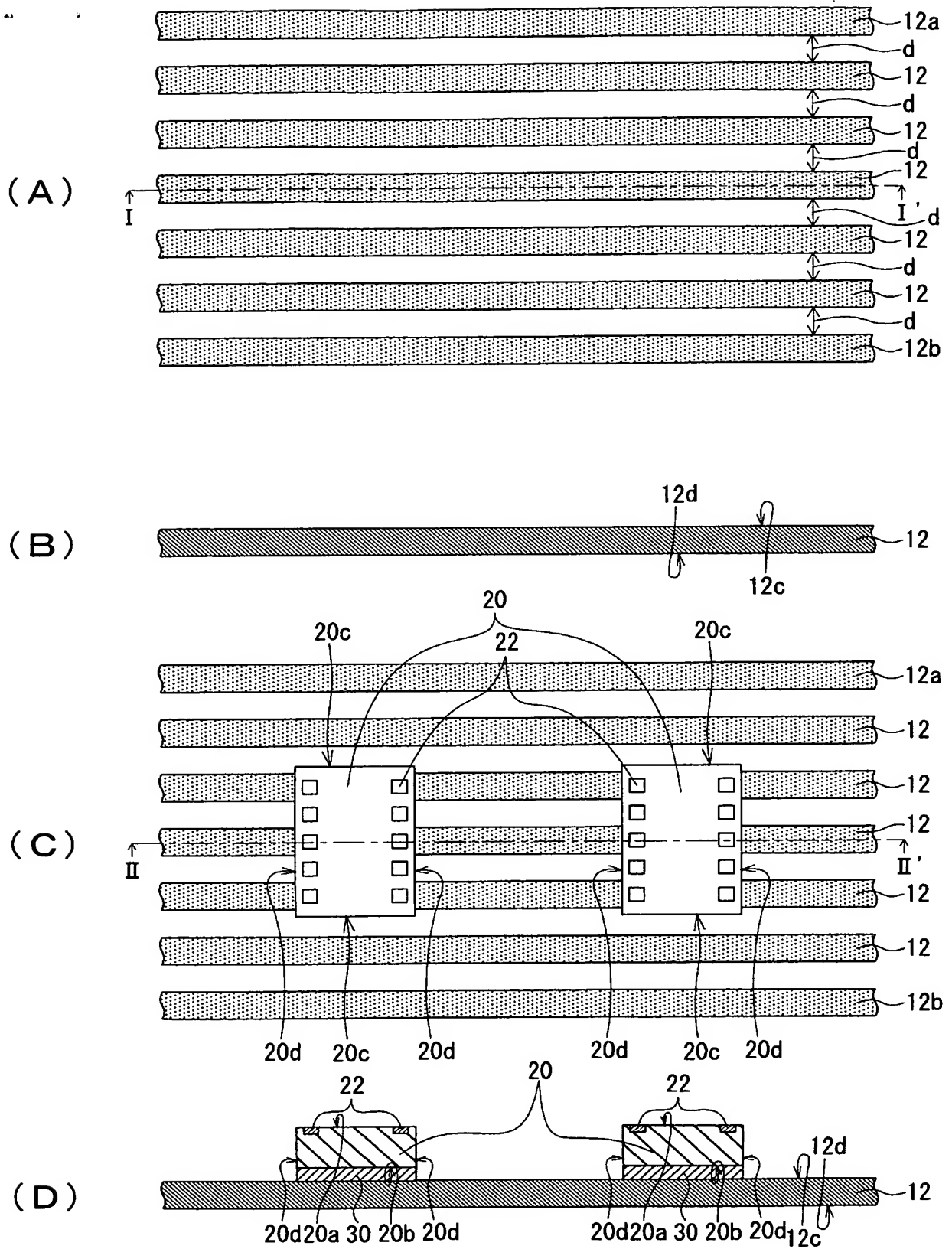
- 1 0 : 半導体装置
- 1 2 : リードフレーム
- 1 2 a : 第 1 最外側リードフレーム
- 1 2 b : 第 2 最外側リードフレーム
- 1 2 c : 上面
- 1 2 d : 下面
- 1 4 : 外部端子
- 2 0 : 半導体チップ
- 2 0 a : 第 1 の主表面
- 2 0 b : 第 2 の主表面
- 2 0 c : 端面
- 2 0 d : 側面
- 2 2 : 電極パッド
- 3 0 : 接着材
- 4 0 : ボンディングワイヤ
- 5 0 : 封止部
- 5 0 a : 表面
- 5 0 b : 側面
- 5 0 c : 端面
- 5 0 d : フレーム間封止部
- 6 0 : 溝部
- 7 0 : 封止層

【書類名】 図面
【図 1】



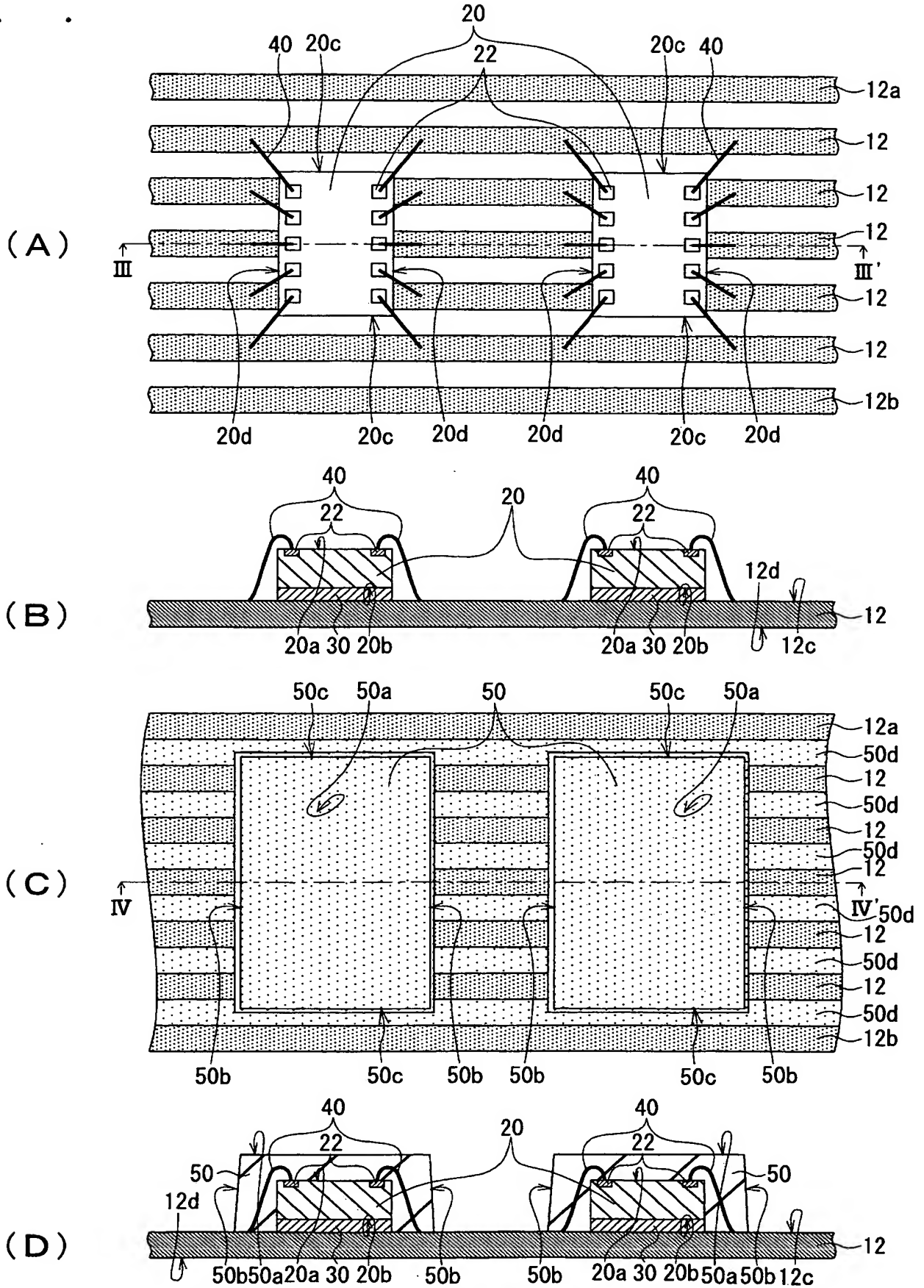
この発明の半導体装置の製造方法の説明図

【図 2】



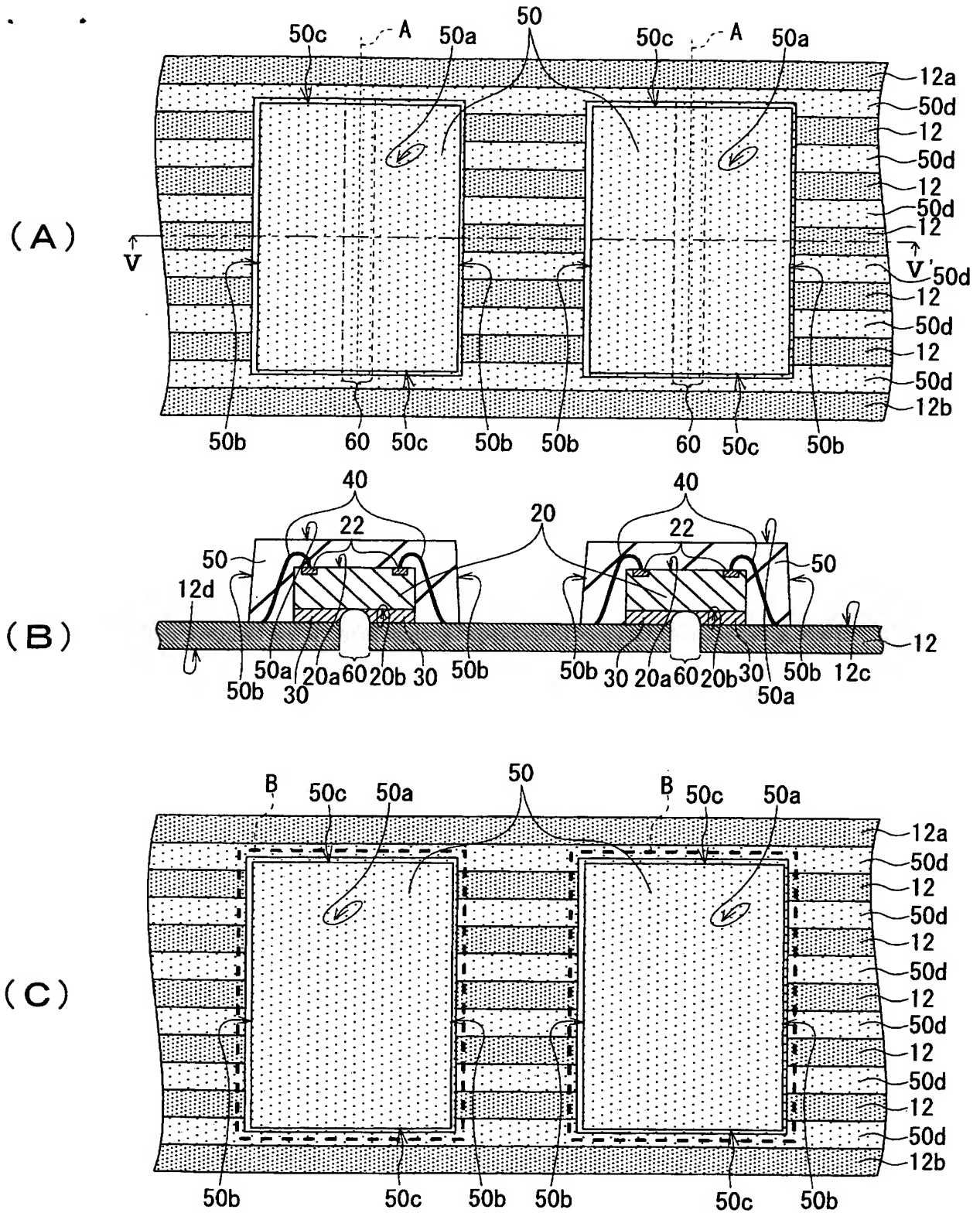
第 1 の実施の形態の半導体装置の製造工程 (その 1)

【図 3】



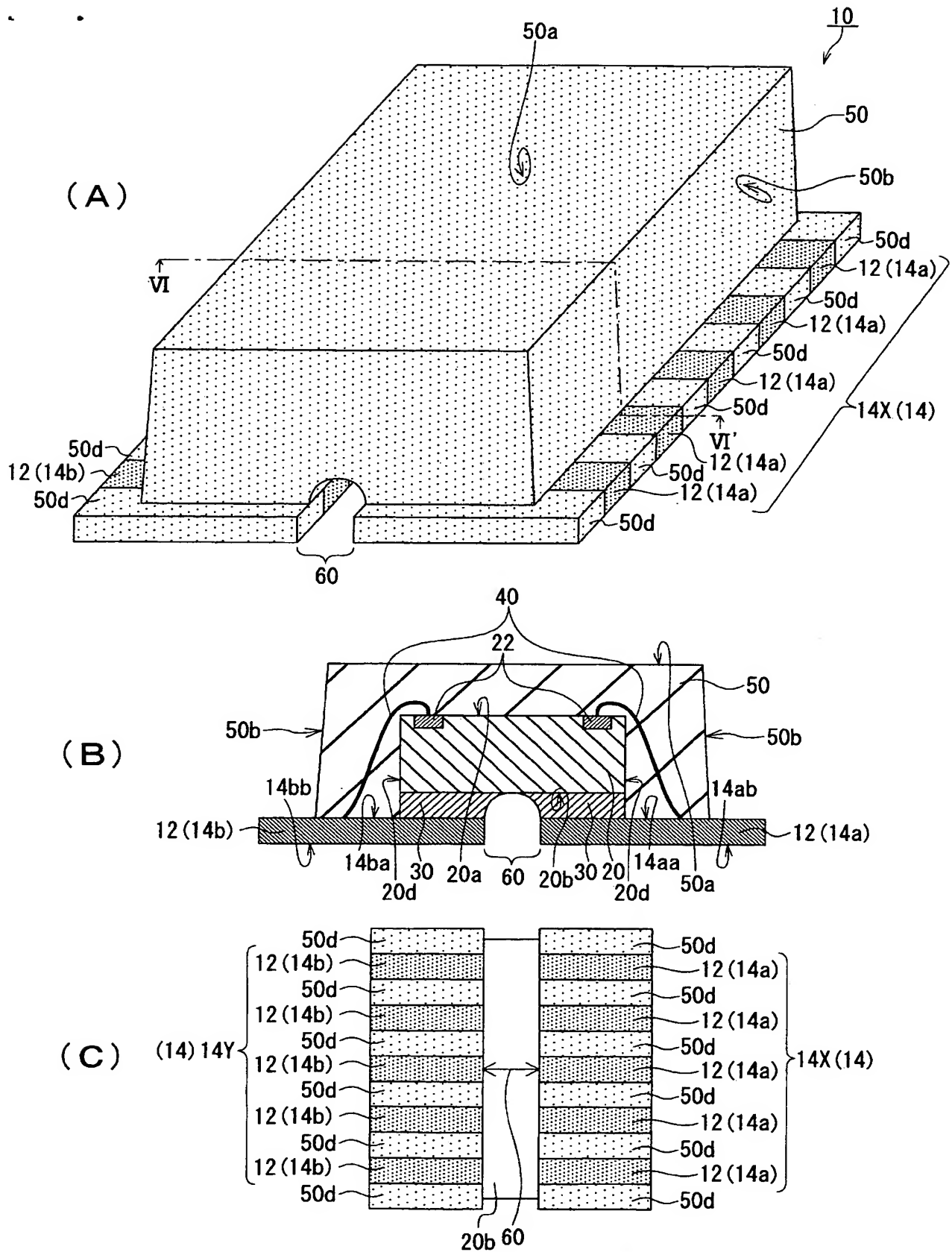
第 1 の実施の形態の半導体装置の製造工程(その 2)

【図 4】



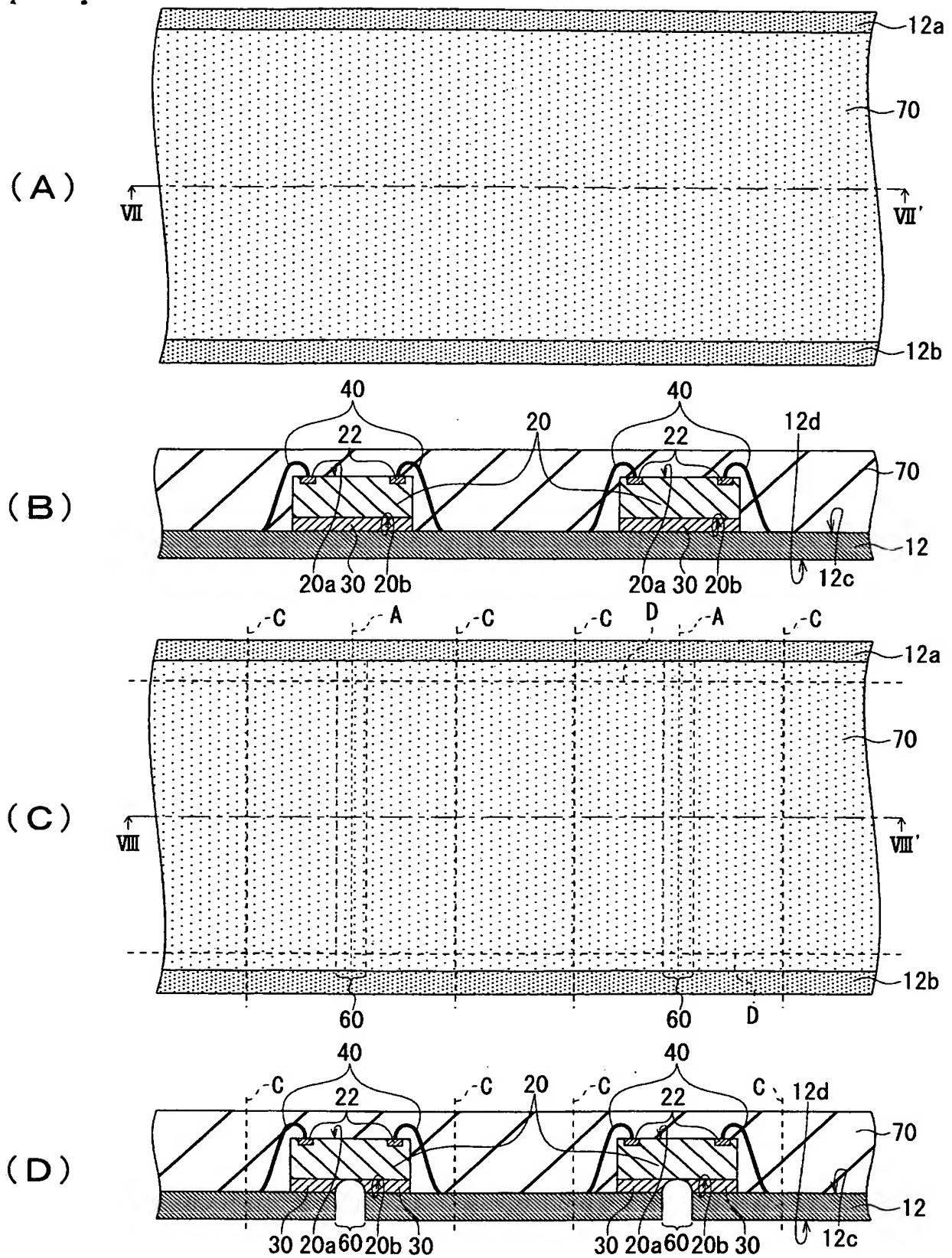
第 1 の実施の形態の半導体装置の製造工程 (その 3)

【図 5】



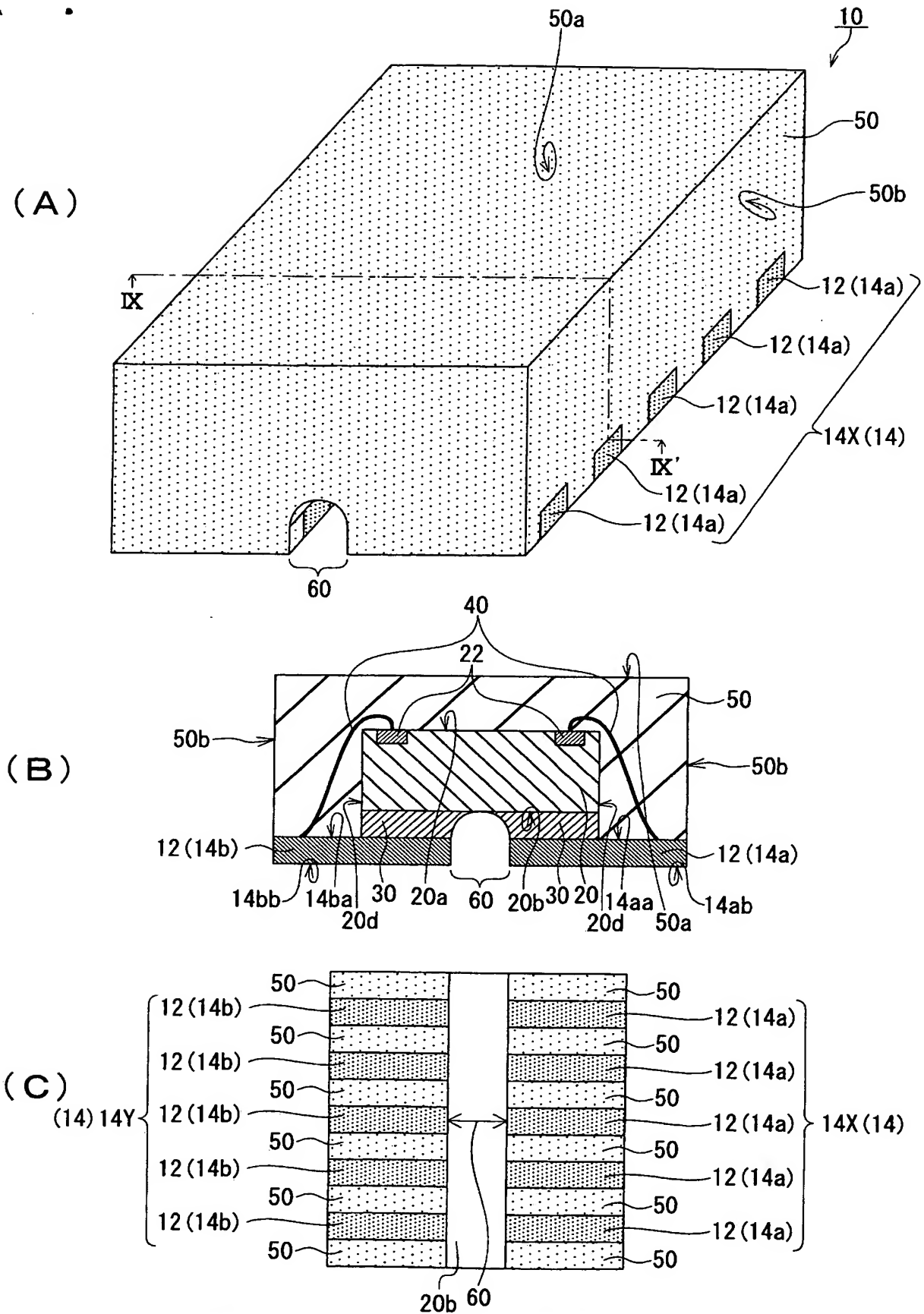
第 1 の実施の形態の半導体装置の構成例

【図 6】



第 2 の実施の形態の半導体装置の製造工程

【図 7】



第 2 の実施の形態の半導体装置の構成例

【書類名】 要約書

【要約】

【課題】 SON型半導体装置の効率的な製造方法を提供する。

【解決手段】 複数の直線状リードフレーム 1 2 を互いに離間して、並列に配列し、複数の電極パッド 2 2 を具備している複数の半導体チップ 2 0 を、複数の直線状リードフレームにわたり直線状リードフレームの延在方向に離間させて、搭載し、複数の電極パッドと、複数の直線状リードフレームとをボンディングワイヤ 4 0 により接続し、半導体チップ及びボンディングワイヤを封止する封止部 5 0 と、封止部外に露出して隣接する直線状リードフレーム同士の間隙を埋め込むフレーム間封止部 5 0 d とを形成し、半導体チップの直下に位置する全ての直線状リードフレームを、直線状リードフレームの延在方向に対して垂直な方向で切断する溝部 6 0 を形成し、複数の半導体チップ同士の間に露出しているリードフレーム及びフレーム間封止部を切断して、半導体装置 1 0 に個片化する。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 3 7 8 2 0 1
受付番号	5 0 3 0 1 8 4 6 3 7 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 1 月 1 0 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 11 月 7 日

特願 2 0 0 3 - 3 7 8 2 0 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社

特願 2 0 0 3 - 3 7 8 2 0 1

出 願 人 履 歴 情 報

識別番号

[3 9 0 0 0 8 8 5 5]

1. 変更年月日

1 9 9 0 年 1 0 月 1 1 日

[変更理由]

新規登録

住 所

宮崎県宮崎郡清武町大字木原 7 2 7 番地

氏 名

宮崎沖電気株式会社